

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-229491

(43)Date of publication of application : 25.08.1998

(51)Int.Cl.

H04N 1/387
G09G 5/36

(21)Application number : 09-032105

(71)Applicant : FUJI XEROX CO LTD

(22)Date of filing : 17.02.1997

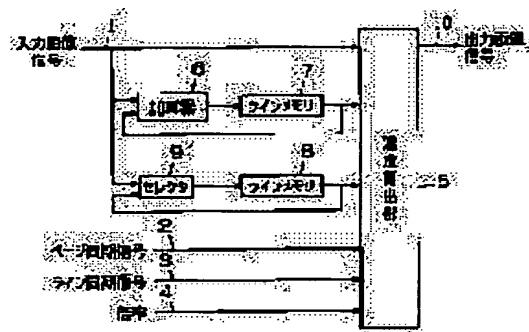
(72)Inventor : KAWADA YUICHI

(54) PIXEL DENSITY CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a pixel density converter that is constituted only with two line memories and has a provision for low magnification.

SOLUTION: A first reference line to obtain an output line is stored in a line memory 8 through a selector 9 that selects an input image signal 1. Lines from a next reference line to a line preceding to a final reference line are added to the contents of a line memory 7 by an adder 6 and outputted again to the line memory 7 and added all and the result is stored in the line memory 7. When the final line to be referenced is received as the image signal 1, the input image signal 1 and outputs from the line memories 7, 8 are given to a density calculation section 5. The density calculation section 5 makes density interpolation, based on the data by the projection method.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

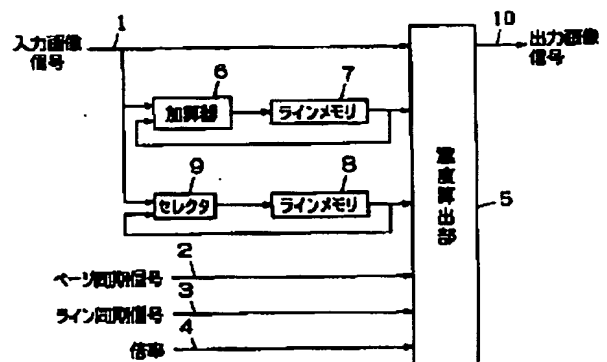
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



【特許請求の範囲】

【請求項1】 入力される複数ラインの画素を参照して投影法により画素密度変換を行なう画素密度変換装置において、参照するラインのうちはじめに入力されるラインを蓄積する第1のラインメモリと、濃度算出時には参照するラインのうち2番目に入力されるラインから最後に入力されるラインの1ライン手前までの積算値を蓄積する第2のラインメモリと、参照するラインのうちの最後に入力されるラインと前記第1のラインメモリから出力されるラインと前記第2のラインメモリから出力される積算値をもとにページ同期信号およびライン同期信号および倍率に従って出力画素の濃度を求める濃度算出手段を有していることを特徴とする画素密度変換装置。

【請求項2】 さらに、入力されるラインと前記第2のラインメモリの出力を加算する加算手段を有し、該加算手段の出力を前記第2のラインメモリに蓄積させることによって、濃度算出時までに参照するラインのうち2番目に入力されるラインから最後に入力されるラインの1ライン手前までの積算値を第2のラインメモリに蓄積させることを特徴とする請求項1に記載の画素密度変換装置。

【請求項3】 前記第2のラインメモリは、前記積算値の最大有効桁数よりも少ない桁数で構成されており、前記加算手段の加算結果の桁数を前記第2のラインメモリの桁数に調整して前記第2のラインメモリに入力する第1の桁数調整手段と、前記第2のラインメモリからの出力を正規の桁数に戻す第2の桁数調整手段を有していることを特徴とする請求項2に記載の画素密度変換装置。

【請求項4】 前記第1の桁数調整手段および前記第2の桁数調整手段は、加算するライン数に応じて調整する桁数を変化させることを特徴とする請求項3に記載の画素密度変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、投影法による画素密度変換を行なう画素密度変換装置に関するものである。

【0002】

【従来の技術】 まず最初に、投影法による画素密度変換のアルゴリズムについて説明する。図7は、71%縮小の場合の投影法による画素密度変換の概念図である。図7(A)には入力画素の並びを示しており、1画素の幅は1とする。また、入力画素の濃度は1画素目から順に d_0, d_1, d_2, \dots とする。図7(B)には出力画素の並びを示しており、出力画素の幅は倍率0.71の逆数で1.41とする。また、出力画素の濃度は O_0, O_1, O_2, \dots とする。

【0003】 このとき、出力画素の濃度 O_0, O_1, O_2, \dots の求め方は、図7に示すように入力画素と出力画素を一次元の座標のように並べたときに、出力画素

と対応する部分の入力画素濃度の平均となる。例えば、最初の出力画素 O_0 は、入力画素の最初の画素 d_0 に幅1と、次の2番目の画素 d_1 に幅0.41だけ跨っている。これから、最初の出力画素の濃度 O_0 は、

$$O_0 = \{ (1 \times d_0) + (0.41 \times d_1) \} \times 0.71$$

として求めることができる。同様にして3番目の出力画素の濃度 O_2 を求めると、3番目の出力画素は、3～5番目の入力画素に跨っているので、

$$O_2 = \{ (0.18 \times d_2) + (1 \times d_3) + (0.23 \times d_4) \} \times 0.71$$

として求めることができる。

【0004】 このような処理を、出力画像の各ライン中の画素について行なうことにより、行方向の拡大または縮小を行なうことができる。もちろん、列方向の画素について上述のような演算を行なうことによって、列方向の拡大または縮小を行なうことができる。

【0005】 図8は、従来の画素密度変換装置の一例を示す構成図である。図中、41は入力画像信号、42はページ同期信号、43はライン同期信号、44は倍率、45は濃度算出部、46～50はラインメモリ、51は出力画像信号である。ここでは説明のため、ラインメモリを5本用いた例を示している。

【0006】 入力画像信号41は、濃度算出部45に入力されるとともに、1段目のラインメモリ46に入力されている。ラインメモリ46～49の出力は、濃度算出部45と次段のラインメモリ47～50に入力され、ラインメモリ50の出力は濃度算出部45に入力されている。ラインメモリ46～50は、それぞれ1ライン分の画素を保持できるだけの容量を有している。そのため、ラインメモリ46～50からは入力画像信号41よりも1～5ライン前の画像信号がそれぞれ出力される。

【0007】 濃度算出部45は、入力画像信号41、各ラインメモリ46～50から与えられる1～5ライン遅延した画像信号、ページ同期信号42、ライン同期信号43、倍率44を受け取り、上述した投影法により画素密度変換を行なって出力画像信号50を出力する。

【0008】 従来の画素密度変換装置の一例における動作を説明する。まず、ページ同期信号42がアクティブになり、その後、ライン同期信号43に同期して入力画像信号41が送られてくる。入力画像信号41は、直接、濃度算出部45に入力されるとともに、ラインメモリ46～50から1～5ライン遅れた画像信号が入力される。このように、濃度算出部5には副走査方向に連続した6画素が入力される。濃度算出部45では、これらのページ同期信号42、ライン同期信号43および倍率44をもとに、入力画像信号41、ラインメモリ46～50の出力を演算して、投影法による濃度演算を行なって出力画像信号51として出力する。

【0009】 図9は、従来の画素密度変換装置の一例に

おける濃度算出部の一例の詳細を示すブロック構成図である。図中、図8と同様の部分には同じ符号を付してある。21はイネーブル付加算器、22はライン同期信号カウンタ、23は整数/小数分離部、24はエクスクルーシブオアノット、25は係数選択部、26はan算出部、27-1~27-5は係数選択セクタ、28-1~28-6、30は乗算器、29は加算器である。

【0010】イネーブル付加算器21は、倍率44の逆数を加算して行くための加算器であり、倍率44と、このイネーブル付加算器21の出力がフィードバックされて入力されている。タイミング信号としてページ同期信号42とライン同期信号43の論理積の信号が入力されており、入力画像信号41に同期して加算が行なわれる。また、後述するエクスクルーシブオアノット24の出力がイネーブル信号として入力されており、加算値の整数部とライン数が等しくないとき、加算動作が抑制されるように構成されている。これは、濃度の算出に必要とする画素数が変化する場合に発生する。整数/小数分離部23は、イネーブル付加算器21からの加算値を受け、加算値を整数部と小数部に分離する。そして、整数部はエクスクルーシブオアノット24へ、小数部bnはan算出部26および乗算器28-1へ出力される。

【0011】カウンタ22は、ページ同期信号42とライン同期信号43の論理積の信号が入力され、ライン同期信号43をカウントする。これにより、入力画像信号41のライン番号がカウンタ22から出力される。エクスクルーシブオアノット24は、整数/小数分離部23から出力される倍率44の逆数の積算値の整数部分と、カウンタ22でカウントされているライン番号とを比較するものである。比較の結果が一致していれば、イネーブル付加算器21のイネーブル信号をアクティブにし、不一致ならばインアクティブにする。

【0012】係数選択部25は、イネーブル付加算器21からの倍率の逆数の積算値を受け取り、その値からラインメモリ46~50の出力に乘算するための係数を、それぞれ0、1、anのうちから選択する選択信号を生成し、セクタ27-1~27-5に出力する。an算出部26は、整数/小数分離部23から倍率の逆数の積算値のうちの小数部bnを受け取るとともに、倍率44を受け取り、(倍率-bn)を計算してその小数部anを出力する。この小数部anは、乗算係数として用いられる。セクタ27-1~27-5は、それぞれ、係数選択部25からの選択信号に従って、乗算器28-2~28-6に供給する乗算係数を選択出力する。選択する乗算係数は、1、0、anのいずれかである。

【0013】乗算器28-1は、整数/小数分離部23で分離された倍率の逆数の積算値の小数部分と、入力画像信号41との積を計算する。また、乗算器28-2~28-6は、それぞれ、ラインメモリ46~50の出力と、セクタ27-1~27-5から出力される乗算係

数との積を計算する。加算器29は、乗算器28-1~28-6から出力される乗算結果を加算する。乗算器30は、加算器29による加算結果に倍率44を乗算し、出力画像信号51として出力する。

【0014】ここで、入力画像信号41の値をp0、ラインメモリ46~50からの遅延した画像信号の値をp1~p5とすると、乗算器28-1~28-6、加算器29、乗算器30によって、

$$(bn \cdot p0 + an \cdot p1) \times \text{倍率}$$

$$(bn \cdot p0 + 1 \cdot p1 + an \cdot p2) \times \text{倍率}$$

$$(bn \cdot p0 + 1 \cdot p1 + 1 \cdot p2 + an \cdot p3) \times \text{倍率}$$

$$(bn \cdot p0 + 1 \cdot p1 + 1 \cdot p2 + 1 \cdot p3 + an \cdot p4) \times \text{倍率}$$

$$(bn \cdot p0 + 1 \cdot p1 + 1 \cdot p2 + 1 \cdot p3 + 1 \cdot p4 + an \cdot p5) \times \text{倍率}$$

のいずれかが計算されて出力される。いずれの計算が行なわれるかは倍率44に依存し、係数選択部25が乗算係数を制御することによって実現される。

【0015】図10は、従来の画素密度変換装置の動作の一例を説明するためのタイミングチャートである。図10に示すタイミングチャートを用い、図9に示す濃度算出部の動作の一例を説明する。なお、図10においては、21%縮小時の動作を示している。図10(A)はページ同期信号42を示し、図10(B)はライン同期信号43を示している。図10(C)はカウンタ22の内容を示し、図10(D)は、イネーブル付加算器21から出力される倍率44の逆数の積算値を示している。図10(E)は、エクスクルーシブオアノット24から出力され、イネーブル付加算器21に入力されるイネーブル信号を示している。この信号はHレベルでアクティブである。図10(F)、(G)は、それぞれ小数bn、anの値を示している。

【0016】図10(H)は入力画像信号41を示し、図10(I)~(M)は、それぞれ、ラインメモリ46~50の出力を示している。ここで、d0~d9はそれぞれのラインにおけるある画素の濃度を示している。図10(N)は、出力画像信号50を示している。なお、説明のため、図10の最下部に括弧付数字を付しており、タイミングはこの数字によって特定することにする。

【0017】図9のイネーブル付加算器21は、ページ同期信号42がアクティブになってからのライン同期信号43の立ち上がり同期して、イネーブル信号がアクティブならば倍率44の逆数を図10(D)に示すように加算して行く。ここでは倍率44が0.21であるので、その逆数である4.76が加算されて行く。また、同時にカウンタ22において、ページ同期信号42がアクティブになってからのライン同期信号43の数を、図10(C)に示すようにカウントする。

【0018】イネーブル付加算器21の出力を、整数/小数分離部23により整数部と小数部 b_n に分離する。例えば、タイミング(1)では、倍率44の逆数の加算値4.76を4と0.76に分離する。整数部はカウンタ22の出力とともにエクスクルーシブオアノット24により比較して、比較結果をイネーブル付加算器21へのイネーブル信号とする。イネーブル信号は、図10(E)に示すように比較結果が一致していればアクティブ、不一致ならばインアクティブにする。例えば、タイミング(1)では整数部が4、カウンタ22の出力が1であるので、イネーブル信号はインアクティブとなる。また、タイミング(4)では、整数部が4、カウンタ22の出力が4であるので、イネーブル信号はアクティブとなる。

【0019】整数/小数分離部23で分離された小数部 b_n は図10(F)に示すように変化する。この小数部 b_n および倍率44から、 a_n 算出部26により(倍率 $-b_n$)の小数部 a_n を求める。この値が図10(G)に示されている。

【0020】カウンタ22の出力および倍率44から、係数選択部25により乗算器28-2~28-6への係数を選択する信号をセレクト27-1~27-5に入力し、セレクトの出力を a_n 、1、0の中から選択する。この係数の選択は、図10(D)に示す倍率44の逆数の積算値によって決める。もし、図10(D)の整数部の増加が4ならば、出力画素濃度を求めるのに必要な入力画素数は5つになり、図10(D)の整数部の増加が5ならば、出力画素濃度を求めるのに必要な入力画素数は6つになる。もし、必要な入力画素数が5つであれば、入力画像信号41への乗算係数は図10(F)に示す小数部 b_n であり、ラインメモリ46~48の出力への乗算係数は1であり、ラインメモリ49の出力への乗算係数は図10(G)に示す小数 a_n となり、残りのラインメモリ50への乗算係数は0である。もし必要な入力画素数が6つであれば、入力画像信号41への乗算係数は図10(F)に示す小数部 b_n であり、ラインメモリ46~49の出力への乗算係数は1となり、ラインメモリ50の出力への乗算係数は図10(G)に示す小数 a_n となる。

【0021】乗算器28-1は、入力画像信号41と小数 b_n の乗算を、乗算器28-2~28-6は、それぞれラインメモリ46~48の出力とセレクト27-1~27-5の出力の乗算を行なう。乗算器28-1~28-6の出力結果を加算器29により加算して、その加算結果と倍率44を乗算器30により乗算することにより、投影法による濃度算出を行なう。

【0022】例えば、タイミング(5)では、係数選択部25はセレクト27-1~27-3に対して1を選択する選択信号を出力し、セレクト27-4に対して a_n 算出部26の出力を選択する選択信号を出力し、セレクト

27-5に対しては0を選択する選択信号を出力する。これにより、乗算器28-1で入力画像信号1の値 d_4 と小数 b_n の乗算を行ない、乗算器28-2~28-4でラインメモリ46~48の出力である d_3 ~ d_1 と1との乗算を行なう。さらに乗算器28-5でラインメモリ49の出力である d_0 と小数 a_n との乗算を行なう。乗算器28-6では、係数が0であるので演算結果は0である。そのため、加算器29で実質的に乗算器28-1~28-5の演算結果が加算され、乗算器30で倍率44が乗算されて、

$$\{(b_n \cdot d_4 + d_3 + d_2 + d_1 + a_n \cdot d_0) \times \text{倍率}\}$$

の計算が行なわれ、出力画像信号00が生成される。

【0023】また、例えば、タイミング(10)では、係数選択部25はセレクト27-1~27-4に対して1を選択する選択信号を出力し、セレクト27-5に対して a_n 算出部26の出力を選択する選択信号を出力する。これにより、乗算器28-1で入力画像信号41の値 d_9 と小数 b_n の乗算を行ない、乗算器28-2~28-5では係数が1であるので実質的にラインメモリ46~49の出力 d_8 ~ d_5 がそのまま演算結果となり、乗算器28-6ではラインメモリ50の出力 d_4 と小数 a_n との乗算を行なう。加算器29で乗算器28-1~28-6の演算結果が加算され、乗算器30で倍率が乗算されて、

$$\{(b_n \cdot d_9 + d_8 + d_7 + d_6 + d_5 + a_n \cdot d_4) \times \text{倍率}\}$$

の計算が行なわれ、図10(N)に示すように出力画像信号02が生成される。

【0024】上述の例では21%の縮小処理であるので、入力画像信号41のラインを含め、必要とするライン数は5~6ラインである。ところが、投影法により画素密度変換を行なう場合、倍率が小さくなればなるほど、参照するライン数が多くなり、参照するラインを保持しておくための多くのラインメモリが必要となる。そのため、装置が大規模になるという問題があった。あるいは、従来の投影法を用いた画素密度変換装置ではあまり小さな倍率が許容されていなかった。例えば特開平3-11475号公報などでは、小さな倍率の場合には投影法以外の他の方法を用いて対応していた。

【0025】

【発明が解決しようとする課題】本発明は、上述した事情に鑑みてなされたもので、2本のラインメモリを用いだけで構成でき、しかも小さな倍率にも対応できる画素密度変換装置を提供することを目的とするものである。

【0026】

【課題を解決するための手段】請求項1に記載の発明は、入力される複数ラインの画素を参照して投影法により画素密度変換を行なう画素密度変換装置において、参

照するラインのうちはじめに入力されるラインを蓄積する第1のラインメモリと、濃度算出時には参照するラインのうち2番目に入力されるラインから最後に入力されるラインの1ライン手前までの積算値を蓄積する第2のラインメモリと、参照するラインのうちの最後に入力されるラインと前記第1のラインメモリから出力されるラインと前記第2のラインメモリから出力される積算値をもとにページ同期信号およびライン同期信号および倍率に従って出力画素の濃度を求める濃度算出手段を有していることを特徴とするものである。

【0027】請求項2に記載の発明は、請求項1に記載の画素密度変換装置において、さらに、入力されるラインと前記第2のラインメモリの出力を加算する加算手段を有し、該加算手段の出力を前記第2のラインメモリに蓄積させることによって、濃度算出時まで参照するラインのうち2番目に入力されるラインから最後に入力されるラインの1ライン手前までの積算値を第2のラインメモリに蓄積させることを特徴とするものである。

【0028】請求項3に記載の発明は、請求項2に記載の画素密度変換装置において、前記第2のラインメモリは、前記積算値の最大有効桁数よりも少ない桁数で構成されており、前記加算手段の加算結果の桁数を前記第2のラインメモリの桁数に調整して前記第2のラインメモリに入力する第1の桁数調整手段と、前記第2のラインメモリからの出力を正規の桁数に戻す第2の桁数調整手段を有していることを特徴とするものである。

【0029】請求項4に記載の発明は、請求項3に記載の画素密度変換装置において、前記第1の桁数調整手段および前記第2の桁数調整手段は、加算するライン数に応じて調整する桁数を変化させることを特徴とするものである。

【0030】

【発明の実施の形態】図1は、本発明の画素密度変換装置の第1の実施の形態を示す構成図である。図中、1は入力画像信号、2はページ同期信号、3はライン同期信号、4は倍率、5は濃度算出部、6は加算器、7、8はラインメモリ、9はセレクタ、10は出力画像信号である。上述の例のように、例えば21%縮小を行なう際には、出力画素の値は入力画素d0～d4あるいはd0～d5および倍率を用いて、

$$\{(b_n \cdot d_4 + d_3 + d_2 + d_1 + a_n \cdot d_0) \times \text{倍率}\}$$

$$\{(b_n \cdot d_5 + d_4 + d_3 + d_2 + d_1 + a_n \cdot d_0) \times \text{倍率}\}$$

のように計算される。ここで、 $(d_3 + d_2 + d_1)$ および $(d_4 + d_3 + d_2 + d_1)$ の部分は単なる加算を行なっているのみである。この加算部分の計算を加算器6およびラインメモリ7によって実現している。また、d0をラインメモリ8に保持するように構成している。なお、d4またはd5は、入力画像信号1として入力さ

れるラインである。

【0031】加算器6は、ラインメモリ7の出力と入力画像信号1とを加算し、再びラインメモリ7に格納する。このとき、ある1ラインを求めるための参照ラインのうち2番目に入ってくる参照ラインから最後に入ってくる参照ラインの1ライン手前までを足しこんだものをラインメモリ7に蓄積するように制御を行なう。例えば、濃度算出部5で出力画像信号の計算を行なっているタイミングではラインメモリ7の出力との加算はしない。

【0032】加算器6による加算の過程で、加算するライン数によって桁数が増加する。例えば入力画像信号が8bitのデータである場合、2ラインの加算を行なうと最大で9bit、4ラインの加算では最大で10bitの数値となる。加算器6は、許容する最小の倍率に応じた桁数の数値の演算が可能のように構成されている。また、この第1の実施の形態ではラインメモリ7は許容する最小の倍率に応じたライン数の加算結果が格納できるだけのbit幅を有しているものとする。

【0033】ラインメモリ8は、係数anが掛けられるd0のラインを保持する。しかし、このd0のラインは、例えば21%縮小の場合には4ライン前あるいは5ライン前のデータである。セレクタ9は、ある出力1ラインを求めるための参照ラインのうち最も早く入ってくるラインをセレクトしラインメモリ2に格納する。例えば濃度算出部5で出力画像信号の計算を行なっているタイミングで入力画像信号1を選択してラインメモリ8に出力し、その他のタイミングではラインメモリ8の出力を選択してそのままラインメモリ8に格納させることができる。なお、ラインメモリ8に係数anが掛けられるラインが保持され、その後濃度算出部5で利用されるまでの間、シフト動作が停止できる場合にはセレクタ9は不要である。

【0034】本発明の画素密度変換装置の第1の実施の形態における動作の一例の概略を説明する。まずページ同期信号2がアクティブになり、その後ライン同期信号3に同期して入力画像信号1が入ってくる。ある出力1ラインを求めるための最初の参照ラインはセレクタ9によりラインメモリ8に蓄積される。次に入ってくる参照ラインから最後に入ってくる参照ラインの1ライン手前までのラインは、加算器6によりラインメモリ7の内容と加算され、再びラインメモリ7に出力される。これによって、ラインメモリ8に蓄積されたラインの次のラインから参照する最後のラインの1ライン手前までのラインをすべて足しこんだ値がラインメモリ7に蓄積される。

【0035】参照する最後のラインが入力画像信号1として入力されたとき、この入力画像信号1、前記2つのラインメモリ7およびラインメモリ8の出力が濃度算出部5に入力される。濃度算出部5は、送られてきたこれ

らのデータをもとに投影法による濃度補間の演算を行なう。この間、セクタ9は入力画像信号1を選択してラインメモリ8に送る。またラインメモリ7では加算値の出力とともにクリアしてゆく。ラインメモリ7のクリアは例えば加算器6から0を送ったり、あるいはラインメモリ7の入力に0が与えられるように制御することによって行なうことができる。

【0036】図2は、本発明の画素密度変換装置の第1の実施の形態における濃度算出部の一例を示す構成図である。図中、図1および図9と同様の部分には同じ符号を付して説明を省略する。本発明の第1の実施の形態に示した構成では、係数 a_n を乗算するラインはラインメモリ8から送られ、係数として1を乗算していたラインについてはすべて加算されてラインメモリ7から送られてくる。そのため、ラインメモリ7の出力には乗算器は設けていない。また、ラインメモリ8には常に係数 a_n を供給すればよいので、セクタ27およびセクタに係数を選択させていた係数選択部25を不要とし、 a_n 算出部26の出力を直接、乗算器28-2に入力して、ラインメモリ8の出力と係数 a_n との乗算を行なっている。加算器29は、乗算器28-1の出力、ラインメモリ7の出力、および、乗算器28-2の出力を加算し、乗算器30に送る。乗算器30では、加算器29の出力と倍率4とを乗算し、出力画像信号10として出力する。これによって、例えば $p_0 \sim p_m$ の m ラインの画素から出力画素を計算する場合、ラインメモリ7の出力は $\sum_{i=2}^{m-1} p_i$ 、ラインメモリ8の出力は p_0 、入力画像信号1は p_m であるので、

$(b_n \cdot p_m + \sum_{i=2}^{m-1} p_i + a_n \cdot p_0) \times \text{倍率}$
が計算されて出力画像信号10として出力される。

【0037】このように、本発明では、入力されるデータが常に3つしかなく、乗算器は2つでよく、また、各乗算器に乗算係数を送っていたセクタやセクタに係数を選択させるための係数選択部が不要である。そのため、例えば従来の図9に示した構成と比較して格段に構成を簡素化することができる。しかも小さい倍率についても対応でき、ハードウェアの変更などは不要である。

【0038】図3は、本発明の画素密度変換装置の第1の実施の形態における動作の一例を説明するためのタイミングチャートである。図3に示すタイミングチャートを用い、図2に示す濃度算出部の動作の一例を説明する。なお、図3においては、上述の図10と同様、21%縮小時の動作を示している。図3(A)～(H)は図10(A)～(H)と同様である。図3(I)はラインメモリ7の出力を示し、図3(J)はラインメモリ8の出力を示す。図3(K)は図10(N)と同様、出力画像信号を示している。

【0039】イネーブル付加算器21においてページ同期信号2がアクティブになってからのライン同期信号3の立ち上がりに同期して、イネーブル信号がアクティブ

ならば倍率4の逆数を図3(D)に示すように加算していく。また同時にカウンタ22において、ページ同期信号2がアクティブになってからのライン同期信号3の数を、図3(C)に示すようにカウントする。イネーブル付加算器21の出力を整数/小数分離部23により整数部と小数部 b_n に分離する。整数部とカウンタ22の出力とをイクスクリューシブオアノット24により比較して、一致していればイネーブル付加算器21へのイネーブル信号をアクティブに、一致していなければインアクティブにする。イネーブル付加算器21へのイネーブル信号は図3(E)に示されている。また、整数/小数分離部23で分離された小数部 b_n は a_n 算出部26に入力され、 a_n 算出部26においてこの小数部 b_n および倍率4から(倍率- b_n)の小数部 a_n を求める。

【0040】まずタイミング(1)において入力画像信号1として d_0 が入力されると、セクタ9はこれを選択してラインメモリ8に蓄積させる。また、ラインメモリ7についてはクリア動作が行なわれる。タイミング(2)では入力画像信号1として d_1 が入力される。この時にはラインメモリ8からは d_0 が出力されるが、セクタ9は入力画像信号1を選択せず、ラインメモリ8の出力を選択してラインメモリ8に戻す。これによってラインメモリ8には d_0 がそのまま保持される。また、加算器6はラインメモリ7の出力と入力画像信号1とを加算してラインメモリ7に保持させるが、この時点でのラインメモリ7の内容はクリアされているので、ラインメモリには d_1 が格納される。

【0041】タイミング(3)ではラインメモリ8はそのまま d_0 を保持する。また、ラインメモリ7は d_1 を出力するので、加算器6は入力画像信号1として入力される d_2 と加算して $d_1 + d_2$ をラインメモリ7に格納する。

【0042】次のタイミング(4)においてもラインメモリ8はそのまま d_0 を保持するとともに、加算器6は入力画像信号1として入力される d_3 とラインメモリ7の出力である $d_1 + d_2$ を加算して $d_1 + d_2 + d_3$ をラインメモリ7に格納する。また、このタイミングで整数/小数分離部23から出力される倍率の逆数の加算値の整数部とラインカウンタ22の値とが等しくなる。そのため加算イネーブル信号がアクティブとなり、イネーブル付加算器21、整数/小数分離部23、 a_n 算出部26が上述のように動作するが、更新前の b_n 、 a_n がそれぞれ加算器28-1、28-2に保持される。

【0043】タイミング(5)において、入力画像信号1として d_4 が、ラインメモリ7から $d_1 + d_2 + d_3$ が、ラインメモリ8から d_0 がそれぞれ入力される。入力画像信号1が入力される乗算器28-1には、乗算係数として整数/小数分離部23で分離された小数部 b_n が入力されており、 $b_n \cdot d_4$ が計算される。また、ラインメモリ2の出力が入力される乗算器28-2には、

乗算係数として a_n 算出部26で算出された(倍率 $-b_n$)の小数部 a_n が入力されており、 $a_n \cdot d_0$ が計算される。加算器29では、乗算器28-1の出力である $b_n \cdot d_4$ と、乗算器28-2の出力である $a_n \cdot d_0$ と、参照ラインの2番目から最後の参照ラインの1ライン手前までを足しこんだラインメモリ7の出力である $d_1 + d_2 + d_3$ を全て加算する。最後に加算器29による加算結果を乗算器30で倍率4と乗算することにより投影法による濃度算出を行なう。すなわち、

$(a_n \cdot d_0 + d_1 + d_2 + d_3 + b_n \cdot d_4) \times \text{倍率}$ が計算されて出力画像信号10として00が出力される。

【0044】また、タイミング(5)では、次の濃度算出のための先頭ラインとなる d_4 をセクタ9が選択してラインメモリ8に蓄積させるとともに、ラインメモリ7のクリアが行なわれる。同様にタイミング(6)～(9)ではラインメモリ8は d_4 をそのまま保持し、ラインメモリ7は加算器6による加算結果を順次保持する。そしてタイミング(9)で加算イネーブル信号がアクティブとなるので、タイミング(10)において入力画像信号1として入力される d_9 と b_n の乗算、ラインメモリ8から出力される d_4 と a_n の乗算が行なわれるとともに、これらの乗算結果とラインメモリ7から出力される $d_5 + d_6 + d_7 + d_8$ の積算値との和が加算器29で計算され、さらに乗算器30で倍率4との乗算が行なわれ、出力画像信号10として01が出力される。以下、同様に処理が行なわれてゆき、画素密度変換が行なわれる。

【0045】このように、同じ倍率で参照するラインが異なっても、加算するライン数が異なるだけで同じ構成によって画素密度変換が行なわれる。同様に、倍率が異なっても加算するライン数が違うだけで、同様の構成によって画素密度変換を行なうことができる。従来では小さい倍率では参照するライン数が多くなるので多くのラインメモリが必要とされたが、本発明では倍率が小さくても同じ構成で画素密度変換を行なうことができる。

【0046】図4は、本発明の画素密度変換装置の第2の実施の形態を示す構成図である。図中、図1と同様の部分には同じ符号を付して説明を省略する。11、12はビット調整部である。上述の第1の実施の形態において説明したように、加算器6による演算結果は入力画像信号1の桁数よりも多くなる可能性がある。上述の第1の実施の形態では増加する桁数を見越してラインメモリ7を構成した。このような構成では、小さい倍率にも適用可能に構成しようとするとラインメモリ7のビット幅を大きくしなければならない。そのため、装置が大型化したり、市販されている製品を利用することができないなどの不具合がある。この第2の実施の形態ではラインメモリ7として例えばラインメモリ8と同じビット幅のラインメモリを用いることができる。例えば入力画像信

号1が8ビットのとき、2ラインの加算では9ビット、4ラインの加算では10ビットが必要となる。この実施の形態では、ラインメモリ7として8ビット幅のものをを用いる。

【0047】上述のように加算器6の演算結果は入力画像信号1のビット幅よりも多くなる可能性がある。ビット調整部11は、加算器6の演算結果をラインメモリ7のビット幅に調整する機能を有する。例えばラインメモリ7に4ライン分の積算値まで格納する場合には、下位2ビットを切り捨てる。これによって例えば最大10ビットの演算結果を8ビットに調整し、ラインメモリ7に蓄積させることができる。

【0048】一方、ラインメモリ7に蓄積されているビット調整されたデータは、そのまま加算器6や図2に示す加算器29に入力したのでは桁数が合っていないために有効な加算が行なえない。そのため、ビット調整部12は、ラインメモリ7に蓄積されているビット調整されたデータをもとの桁数に戻す。例えばビット調整部11で下位2ビットを切り捨てた場合には、下位2ビットを付加し、もとのビット数に戻して加算器6や図2に示す加算器29に入力する。これによって、加算器6や加算器29において有効な加算演算を行なうことができる。

【0049】具体例として入力画像信号1が8ビット、ラインメモリ7も8ビット幅であるものとし、4ラインまで積算を許すものとしてビット調整部11、12では2ビットの調整を行なうとする。加算器6は、8ビットの入力画像信号1と、ビット調整部12で調整された10ビット以内の画像信号とを加算する。4ラインまでの積算では、加算結果は10ビット以内である。ビット調整部11では、加算器6による加算結果から下位2ビットを切り捨て、ラインメモリ7に蓄積させる。ラインメモリ7から出力される8ビットの画像信号は、ビット調整部12で下位に2ビット付加され、10ビットの画像信号として加算器6および濃度算出部5に出力される。このようにして8ビット幅のラインメモリ7を用いて最大10ビットの積算値を近似的に保持させている。

【0050】ビット調整部11において調整するビット数は、この第2の実施の形態では固定としている。そのビット数は取り扱う最小の倍率によって決定される参照ライン数に応じて設定すればよい。また、調整方法は、結線時に切り捨てるビット数の配線を省略したり、ビットシフト演算を行なったり、あるいは除算によって調整してもよい。ビット調整部12は、ビット調整部11における調整方法の逆の調整を行なえばよい。単なるビットの付加を行なう場合、付加するビットの値は任意である。なお、このようなビット調整によって複数ラインの積算値の精度が低下するが、下位の数ビットであれば画質上それほど問題になることはない。

【0051】図5は、本発明の画素密度変換装置の第3の実施の形態を示す構成図、図6は、同じく濃度算出部

の一例を示す構成図である。図中の符号は図1、図2、図4と同様である。31はデコーダである。上述の第2の実施の形態では、ビット調整部11、12において調整するビット数は固定としたが、この第3の実施の形態では、調整するビット数を可変とした例を示す。

【0052】例えば21%縮小時には、図3に示したタイミングチャートからもわかるように、濃度算出の際には5ラインあるいは6ラインが参照される。このうちの1ラインは入力画像信号1であり、もう1ラインはラインメモリ8の出力である。ラインメモリ7による積算は3~4ラインである。このライン数は、加算イネーブルが出力されるまでの間隔、すなわち倍率4の逆数の加算値の整数部の前回の値との差分から求めることができる。例えばタイミング(10)で濃度を算出する際には、タイミング(5)~(9)の時の倍率の逆数の加算値「9.52」の整数部「9」と、その前の倍率の逆数の加算値「4.76」の整数部「4」との差分「5」が、ラインメモリ7およびラインメモリ8から供給されるライン数である。ラインメモリ7に蓄積される積算ライン数は1を減じた「4」ラインとなる。すなわちタイミング(9)までにラインメモリ7には4ライン分の画像信号が積算されて蓄積されることになる。4ラインの加算では、加算結果は最大で2ビット増加するので、ビット調整部11、12では2ビットの調整を行えばよいことになる。

【0053】図6に示すデコーダ31は、整数/小数分離部23から出力される整数部の値をラッチし、値が変化した際に上述のようにして調整すべきビット数を算出して出力する。このデコーダ31から出力される調整ビット数は、図5に示すようにビット調整部11、12に入力されている。ビット調整部11、12は、濃度算出部5内のデコーダ31から出力される調整ビット数に応じたビット調整を行なう。すなわちビット調整部11では、デコーダ31から渡される調整ビット数だけ、加算器6から出力される加算結果の下位ビットを切り捨てる。また、ビット調整部12では、デコーダ31から渡される調整ビット数だけ、シフトレジスタ7からの出力に対して下位にビットを付加して加算器6および加算器29に渡す。このようにして、加算するライン数に応じたビット調整が可能になる。

【0054】例えば35%の縮小を行なう場合、濃度算出のために参照するライン数は3~4ラインであり、シフトレジスタ7に積算されるライン数は1~2ラインである。この場合には、例えば加算を要しない1ラインの画像信号のみをシフトレジスタ7に蓄積する際にはビット調整を行わず、2ラインの画像信号の積算値をシフトレジスタ7に蓄積する際にはビット調整部11、12は1ビットの調整を行なうように動作する。また、21%の縮小を行なう場合には、濃度算出のための参照ライン数は5~6ラインであり、シフトレジスタ7に積算さ

れるライン数は3~4ラインである。この場合には、ビット調整部11、12は2ビットの調整を行なうように動作する。

【0055】このように、積算するライン数が少ない場合には調整ビット数を少なくして積算値の精度をなるべく保ち、逆に積算するライン数が多い場合には調整ビット数を多くすることで小さい倍率にも対応することができ、倍率に応じて可能な精度で適応的に積算値を保持することが可能になる。

【0056】

【発明の効果】以上の説明から明らかなように、本発明によれば、投影法を用いて画素密度変換を行なう場合、倍率にかかわらず、用いるラインメモリは2本のみなので、回路規模を小さくすることができる。また、濃度算出前に投影法の加算を行なっているため、濃度算出手段の中の乗算器および加算器の回路規模の削減もできる。このように全体として回路規模を小さくすることができ、しかも小さい倍率についても対応可能な画素密度変換装置を得ることができるという効果がある。

【図面の簡単な説明】

【図1】 本発明の画素密度変換装置の第1の実施の形態を示す構成図である。

【図2】 本発明の画素密度変換装置の第1の実施の形態における濃度算出部の一例を示す構成図である。

【図3】 本発明の画素密度変換装置の第1の実施の形態における動作の一例を説明するためのタイミングチャートである。

【図4】 本発明の画素密度変換装置の第2の実施の形態を示す構成図である。

【図5】 本発明の画素密度変換装置の第3の実施の形態を示す構成図である。

【図6】 本発明の画素密度変換装置の第3の実施の形態における濃度算出部の一例を示す構成図である。

【図7】 71%縮小の場合の投影法による画素密度変換の概念図である。

【図8】 従来の画素密度変換装置の一例を示す構成図である。

【図9】 従来の画素密度変換装置の一例における濃度算出部の一例の詳細を示すブロック構成図である。

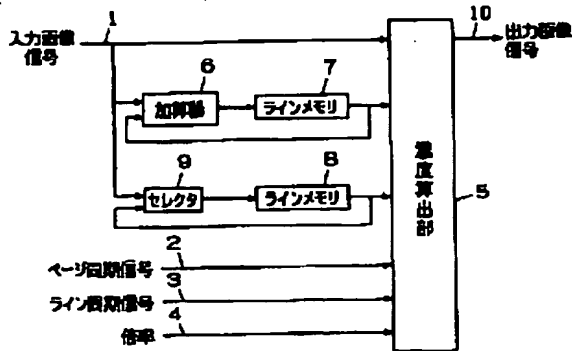
【図10】 従来の画素密度変換装置の動作の一例を説明するためのタイミングチャートである。

【符号の説明】

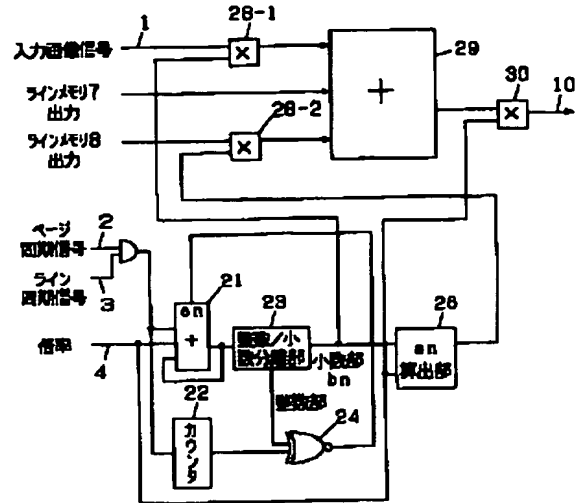
1…入力画像信号、2…ページ同期信号、3…ライン同期信号、4…倍率、5…濃度算出部、6…加算器、7、8…ラインメモリ、9…セレクト、10…出力画像信号、11、12…ビット調整部、21…イネーブル付加算器、22…ライン同期信号カウンタ、23…整数/小数分離部、24…イクスクルーシブオアノット、25…係数選択部、26…an算出部、27-1~27-5…係数選択セレクト、28-1~28-6、30…乗算

器、29…加算器、31…デコーダ。

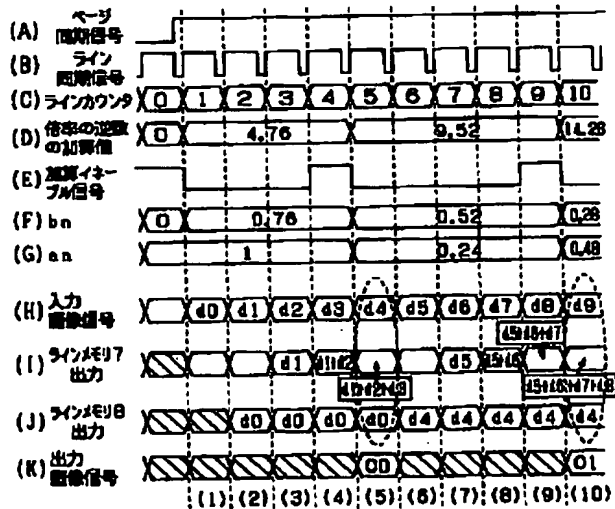
【図1】



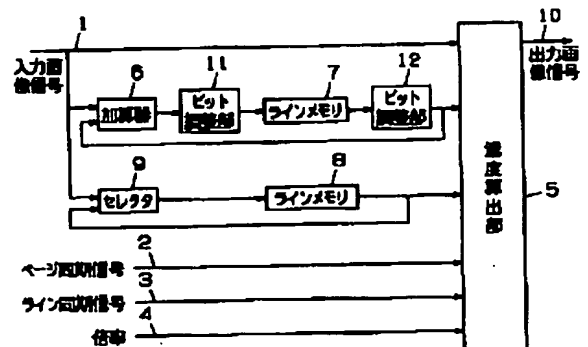
【図2】



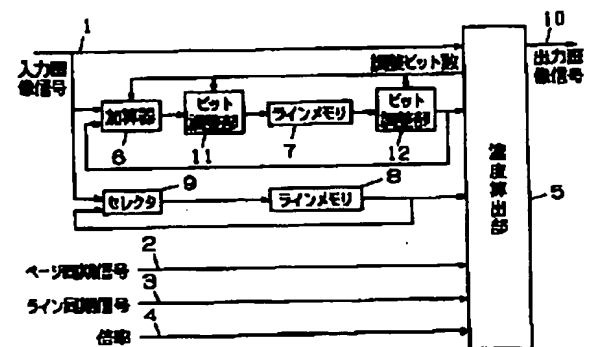
【図3】



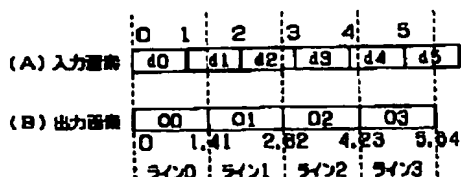
【図4】



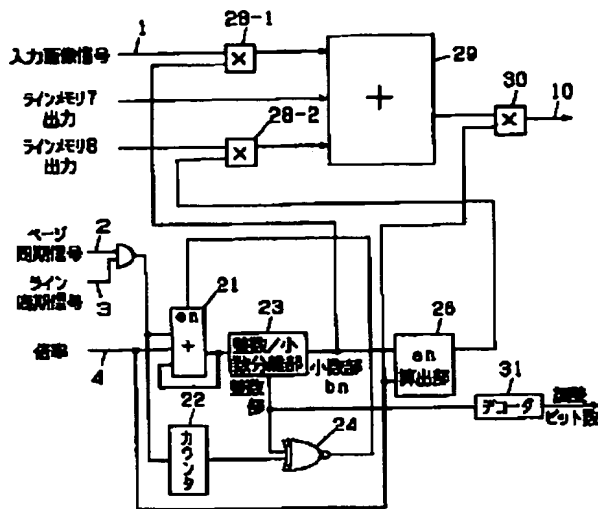
【図5】



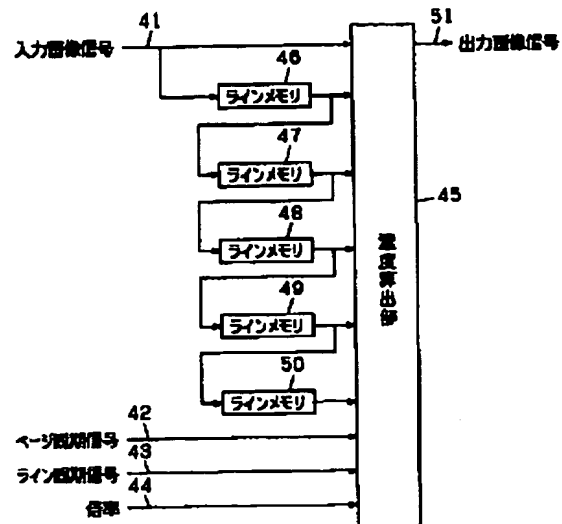
【図7】



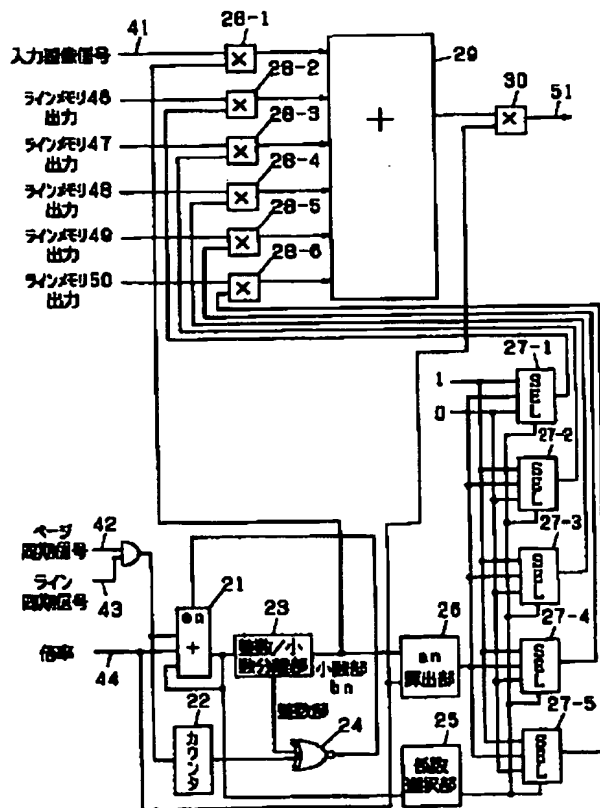
【図6】



【図8】



【図9】



【図10】

